

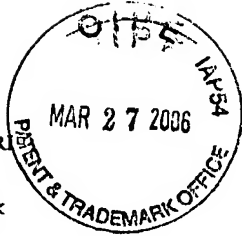
ADAMS & WILKS

ATTORNEYS AND COUNSELORS AT LAW
17 BATTERY PLACE
SUITE 1231
NEW YORK, NEW YORK 10004

BRUCE L. ADAMS
VAN C. WILKS*

JOHN R. BENEFIEL*
FRANCO S. DE LIGUORI
TAKESHI NISHIDA

*NOT ADMITTED IN NEW YORK
*REGISTERED PATENT AGENT



RIGGS T. STEWART
(1924-1993)

TELEPHONE
(212) 809-3700

FACSIMILE
(212) 809-3704

March 24, 2006

COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, VA 22313-1450

Re: Patent Application of Masakazu SUGIURA
Serial No. 10/712,145 Filing Date: November 13, 2003
Examiner: Matthew Van Nguyen Group Art Unit: 2838
Docket No. S004-5147

S I R:

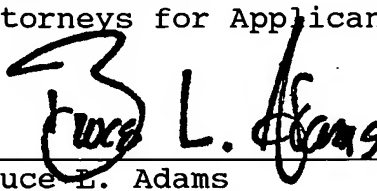
The above-identified application was filed claiming the right of priority based on the following foreign application(s).

1. Japanese Patent Appln. No. 2002-330846 filed November 14, 2002

Certified copy(s) are annexed hereto and it is requested that these document(s) be placed in the file and made of record.

Respectfully submitted,

ADAMS & WILKS
Attorneys for Applicant(s)

By: 
Bruce L. Adams
Reg. No. 25,386

MAILING CERTIFICATE

I hereby certify that this correspondence is being deposited with the United States Postal Service as first-class mail in an envelope addressed to: COMMISSIONER FOR PATENTS, P.O. Box 1450, Alexandria, VA 22313-1450, on the date indicated below.

Debra Buonincontri

Name

Debra Buonincontri

Signature

March 24, 2006

Date

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年11月14日
Date of Application:

出願番号 特願2002-330846
Application Number:
[ST. 10/C]: [JP2002-330846]

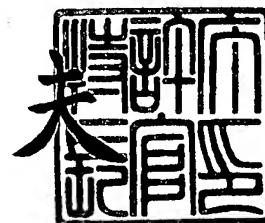
願人 セイコーインスツルメンツ株式会社
Applicant(s):

CERTIFIED COPY OF
PRIORITY DOCUMENT

2003年10月14日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願

【整理番号】 02000881

【提出日】 平成14年11月14日

【あて先】 特許庁長官 殿

【国際特許分類】 G05F 1/56

【発明者】

【住所又は居所】 千葉県千葉市美浜区中瀬 1 丁目 8 番地 セイコーインス
ツルメンツ株式会社内

【氏名】 杉浦 正一

【特許出願人】

【識別番号】 000002325

【氏名又は名称】 セイコーインスツルメンツ株式会社

【代表者】 入江 昭夫

【代理人】

【識別番号】 100096378

【弁理士】

【氏名又は名称】 坂上 正明

【手数料の表示】

【予納台帳番号】 008246

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0103799

【ブルーフの要否】 不要

【書類名】 明細書

【発明の名称】 ボルテージ・レギュレータ及び電子機器

【特許請求の範囲】

【請求項 1】 第 1 の基準電圧回路と、
電圧源の電圧に基づいた出力電圧を出力する出力端子と、
前記出力電圧を分圧する分圧回路と、
前記分圧回路の出力と前記第 1 の基準電圧回路の出力に基づいて信号を出力するエラー・アンプと、
前記電圧源と前記分圧回路の間に接続され、前記エラー・アンプの出力信号に基づいて ON/OFF が制御される出力トランジスタと、
前記出力端子の出力電圧信号および前記電圧源の電圧信号に基づいて前記エラー・アンプの動作電流を制御する電流増加回路と、を有することを特徴とするボルテージ・レギュレータ。

【請求項 2】 前記電流増加回路は、前記出力電圧端子の電圧が所望値よりも高い場合、前記エラー・アンプの動作電流を増加させることを特徴とする請求項 1 に記載のボルテージ・レギュレータ。

【請求項 3】 請求項 2 に記載の前記ボルテージ・レギュレータを有することを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ボルテージ・レギュレータ（以下 V/R と記載する）のオーバーシュート特性を改善することが可能な V/R に関する。

【0002】

【従来の技術】

従来の V/R は、図 3 の回路図に示すように、基準電圧回路 10 の基準電圧 V_{ref1} と、V/R の出力端子 6 の電圧（以下出力電圧と記載する） V_{out} を分圧するブリーダ抵抗 11、12 の接続点の電圧との差電圧を、増幅するエラー・アンプ 13 からなる V/R 制御回路と出力 MOS トランジスタ 14 とからなっており

、電圧源 15 の与える電圧（以下VDD1と記載する）により動作する。エラー・アンプ 13 の出力電圧をVerr、ブリーダ抵抗 11、12 の接続点の電圧をVaとすれば、 $V_{ref1} > V_a$ ならば、Verrは低くなり、逆に $V_{ref1} < V_a$ ならば、Verrは高くなる。

【0003】

Verrが低くなると、出力MOSトランジスタ 14 は、この場合、P-chMOSトランジスタであるので、ゲート・ソース間電圧が大きくなり、ON抵抗が小さくなり、出力電圧Voutを上昇させるように働き、逆にVerrが高くなると、出力MOSトランジスタ 14 のON抵抗を大きくして、出力電圧を低くするように働き、出力電圧Voutを一定値に保つ（例えば、特許文献1 参照。）。

【0004】

一般にV/Rの場合、ここでは省略しているが必要に応じて位相補償用コンデンサを適当に付加させる必要があることが知られている。

【0005】

また一般にV/Rの場合、エラー・アンプ 13 は例えば図4に示すように、P-chMOSトランジスタ 16 とP-chMOSトランジスタ 17 とからなるカレントミラー回路と、N-chMOSトランジスタ 18 とN-chMOSトランジスタ 19 とからなる入力差動対と、一定電流I1が流れる定電流回路 20 とで構成されることが知られている。

【0006】

【特許文献1】

特開平4-195613号公報（第1-3頁、第2図）

【0007】

【発明が解決しようとする課題】

しかし、従来のV/Rでは、エラー・アンプ 13 の動作電流は、定電流回路 20 によって決定されているので、低消費電流のV/Rを実現しようとこの定電流回路 20 の電流を減らすと、電源起動時すなわちVDD1がパルス的に与えられたときまたはV/Rの出力端子6に接続された負荷が急激に軽くなったときに、出力電圧Voutがオーバーシュート特性を示す傾向が強くなり、つまりは電源起動特性が犠牲になり、逆にオーバーシュート特性を改善したV/Rを実現しようとこの定電流回路 20 の電流を大きくすると、低消費電流特性が犠牲になるといっ

た問題点があった。

【0008】

バッテリーを電源に使用した場合、バッテリーの寿命を延ばすためには低消費電流特性であることが要求され、その一方でまた V/R の出力電圧 V_{out} のオーバーシュート特性において、 V/R の出力端子に外部より接続される素子の耐圧以上となってしまう状態は避けなければならない。

【0009】

V/R のオーバーシュート特性を改善しようとする、エラー・アンプ 13 の広帯域化の目的でエラー・アンプ 13 の動作電流の増加は基本的に不可避であるが、バッテリーを電源に使用した場合、低消費電流特性は使命であり、 V/R 自身の消費電流の増加は容認されないのが現状である。

【0010】

【課題を解決するための手段】

そこで、この発明の目的は、従来のこのような問題点を解決するために、出力電圧 V_{out} が制御されるべき一定電圧に対して所望値よりも高い場合にのみ、一時的に V/R を構成するエラー・アンプの動作電流を大きく制御し、エラー・アンプの広帯域化を図ることで、オーバーシュート特性を改善し、その他の場合には V/R を構成するエラー・アンプを小さな動作電流とすることで低消費電流化を図ることを目的としている。

【0011】

上記目的を達成するために、本願発明にかかるボルテージ・レギュレータは、第1の基準電圧回路と、電圧源の電圧に基づいた出力電圧を出力する出力端子と、前記出力電圧を分圧する分圧回路と、前記分圧回路の出力と前記第1の基準電圧回路の出力に基づいて信号を出力するエラー・アンプとを有する。さらに、前記電圧源と前記分圧回路の間に接続され、前記エラー・アンプの出力信号に基づいて ON/OFF が制御される出力トランジスタと、前記出力端子の出力電圧信号および前記電圧源の電圧信号に基づいて前記エラー・アンプの動作電流を制御する電流増加回路と、を有することを特徴とする。

【0012】

また、前記電流増加回路は、前記出力電圧端子の電圧が所望値よりも高い場合、前記エラー・アンプの動作電流を増加させることを特徴とする。

【0 0 1 3】

本願発明にかかる電子機器は、前記ボルテージ・レギュレータを有することを特徴とする。

【0 0 1 4】

【発明の実施の形態】

以下、本発明の実施例を図面を参照して説明する。図 1 は本発明の第 1 の実施例を示す V/R の回路図である。図 1 と図 4 の相異は電流加算回路 2 1 が設けられているところにある。電流加算回路 2 1 は、出力電圧 V_{out} が制御されるべき一定電圧に対して、所望値よりも高いことを検出した状態において、エラー・アンプの動作電流を増加させるように働く。

【0 0 1 5】

電流加算回路 2 1 は、例えば図 2 のように、出力電圧 V_{out} を分圧するブリーダ抵抗 2 8、ブリーダ抵抗 2 9 と、ブリーダ抵抗 2 8 とブリーダ抵抗 2 9 の接続点の電圧 V_b により ON/OFF 制御される N-chMOS トランジスタ 2 7 と、N-chMOS トランジスタ 2 7 のドレインをプルアップするための抵抗 2 6 と、N-chMOS トランジスタ 2 7 のドレインと抵抗 2 6 の接続点の電圧 V_c を入力とするインバータ 2 3 と、インバータ 2 3 の出力電圧 V_d により ON/OFF 制御される N-chMOS トランジスタ 2 2 と、 V_{ref2} なる電圧を出力する基準電圧回路 2 5 と、 V_{ref2} なる電圧がゲートに与えられる N-chMOS トランジスタ 2 4 とからなる。そして、これは図 2 において点線で囲われた箇所に対応する。なお、図 2 においては、定電流回路 2 0 は V_{ref2} なる電圧がゲートに与えられる N-chMOS トランジスタとしている。

【0 0 1 6】

出力電圧 V_{out} を分圧するブリーダ抵抗 2 8 とブリーダ抵抗 2 9 との接続点の電位が V_b なので、出力電圧 V_{out} が高くなり V_b が N-chMOS トランジスタ 2 7 を ON させる電圧である場合、抵抗 2 6 に発生する電圧降下により、 V_c の電圧は低く（以下 “L” と記載する）なり、出力電圧 V_{out} が低くなり V_b が N-chMOS トランジスタ 2 7 を OFF させる電圧である場合、 V_c の電圧は高く（以下 “H” と記載する）な

る。

【0017】

V_c が猫狽 \neq ある場合、これを入力とするインバータ23の出力電圧 V_d は欄唐 \neq なり、N-chMOSトランジスタ22はONするので、 V_{ref2} なる電圧がゲートに与えられるN-chMOSトランジスタ24にはドレイン電流 I_2 が流れることになり、エラー・アンプの動作電流がこの分だけ加算される。

【0018】

V_c が欄である場合、これを入力とするインバータ23の出力電圧 V_d は猫となり、N-chMOSトランジスタ22はOFFするので、 V_{ref2} なる電圧がゲートに与えられるN-chMOSトランジスタ24にはドレイン電流は流れず、エラー・アンプの動作電流は定電流回路20による電流 I_1 のみとなる。 V_b がN-chMOSトランジスタ27をONまたはOFFさせる出力電圧 V_{out} はブリーダ抵抗28とブリーダ抵抗29の大きさを適当に与えることで設定可能であり、出力電圧 V_{out} が制御されるべき一定電圧に対して、所望値よりも高いことを検出しエラー・アンプの動作電流を増加させることが可能である。

【0019】

出力電圧 V_{out} が制御されるべき一定電圧に対して所望値よりも高い場合にのみ、一時的に V/R を構成するエラー・アンプの動作電流を大きく制御し、エラー・アンプの広帯域化を図ることで、オーバーシュート特性を改善し、その他の場合には V/R を構成するエラー・アンプを小さな動作電流とすることで低消費電流化を図り、従来の V/R では、エラー・アンプ13の動作電流は、定電流回路20によって決定されているので、低消費電流の V/R を実現しようとこの定電流回路20の電流を減らすと、電源起動時すなわち V_{DD1} がパルス的に与えられたときまたは V/R の出力端子6に接続された負荷が急激に軽くなったときに、出力電圧 V_{out} がオーバーシュート特性を示す傾向が強くなる。つまり、電源起動特性が犠牲になり、逆にオーバーシュート特性を改善した V/R を実現しようとこの定電流回路20の電流を大きくすると、低消費電流特性が犠牲になるといった問題点を解消することが可能である。

【0020】

以上の説明では、Vref2が定電流回路20を構成するN-chMOSトランジスタのゲートと、N-chMOSトランジスタ24とに与えられるとしているが、新たにVref3を設けてそれぞれ独立にVref2、Vref3を与えるものとし、Vref2、Vref3の値を任意に与えることで電流加算回路21が増加させる電流が、可変であり任意に設定できる効果が得られる。

【0021】

また、以上の説明において、ブリーダ抵抗28とブリーダ抵抗29を可変抵抗とすることで、一時的に V/R を構成するエラー・アンプの動作電流を大きく制御する出力電圧 V_{out} の下限値が可変であり任意に設定できる。

【0022】

また以上の説明では、電流加算回路21は図2のような構成として説明したが、同様の機能を有することが可能なその他の構成でも同様な効果が得られる。

【0023】

【発明の効果】

以上、説明したように本発明のボルテージ・レギュレータによれば、出力電圧が制御されるべき一定電圧に対して、所望値よりも高いことを検出し、エラー・アンプの動作電流を増加させる回路を設けたことにより、出力電圧が制御されるべき一定電圧に対して所望値よりも高い場合にのみ、一時的に V/R を構成するエラー・アンプの動作電流を大きく制御し、エラー・アンプの広帯域化を図ることで、オーバーシュート特性を改善し、その他の場合には V/R を構成するエラー・アンプを小さな動作電流とすることで低消費電流化を図ることが可能となる。

【0024】

しかも、前記出力電圧が制御されるべき一定電圧に対して、所望値よりも高いことを検出し、エラー・アンプの動作電流を増加させる回路の構成次第で、エラー・アンプの動作電流を増加させる回路が増加させる電流や可変であり任意に設定できる。

【0025】

しかも、前記出力電圧が制御されるべき一定電圧に対して、所望値よりも高いことを検出し、エラー・アンプの動作電流を増加させる回路の構成次第で、エラ

ー・アンプの動作電流を増加させる回路が検出する電圧が可変であり任意に設定できる。

【0026】

また、本願発明にかかる電子機器は、前記ボルテージ・レギュレータを有するので、低消費電力化が可能である。

【図面の簡単な説明】

【図1】

本発明の第1の実施例を示すボルテージ・レギュレータの回路説明図である。

【図2】

本発明の第1の実施例を示すボルテージ・レギュレータの回路説明図である。

【図3】

従来のボルテージ・レギュレータの回路説明図である。

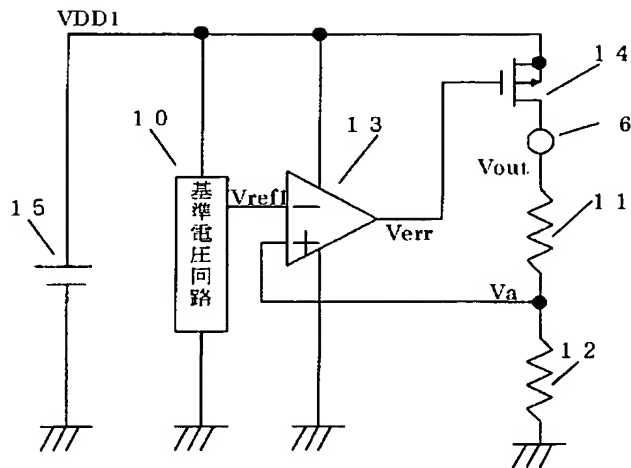
【図4】

従来のボルテージ・レギュレータの回路説明図である。

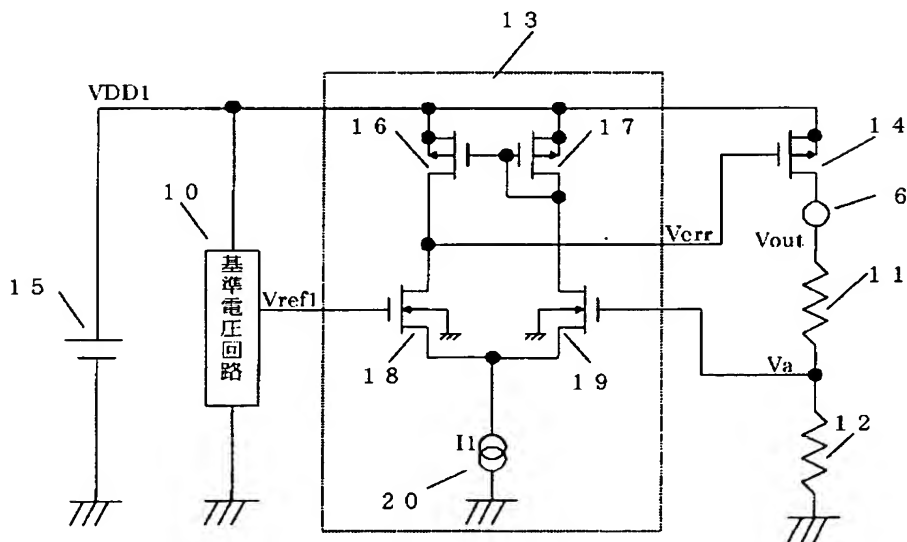
【符号の説明】

- 14 出力MOSトランジスタ
- 18、19、20、22、24、27 N-chMOSトランジスタ
- 16、17 P-chMOSトランジスタ
- 10、25 基準電圧回路
- 11、12、28、29 ブリダ抵抗
- 13 エラー・アンプ
- 21 電流加算回路
- 20 定電流回路
- 6 ボルテージ・レギュレータの出力端子
- 15 電圧源
- 23 インバータ
- 26 抵抗

【図 3】



【図 4】



【書類名】 要約書

【要約】

【課題】 オーバーシュート特性を改善したボルテージ・レギュレータの提供。

【解決手段】 出力電圧 V_{out} が制御されるべき一定電圧に対して所望値よりも高い場合にのみ、一時的にボルテージ・レギュレータを構成するエラー・アンプの動作電流を大きく制御することで、オーバーシュート特性を改善する。

【選択図】 図 1

特願 2 0 0 2 - 3 3 0 8 4 6

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 3 2 5]

1. 変更年月日

1 9 9 7 年 7 月 2 3 日

[変更理由]

名称変更

住 所

千葉県千葉市美浜区中瀬 1 丁目 8 番地

氏 名

セイコーインスツルメンツ株式会社